Лабораторная работа №1

Создание проектов в среде Quartus. Простейшие логические схемы. Программная симуляция логических схем

1. Цель работы

Целью работы является:

- Изучение среды Quartus
- Изучение основных понятий языка Verilog
- Изучение среды моделирования ModelSim-Altera
- Создание простого проекта и его моделирование

2. Создание проекта в среде Quartus II 13.1

Описание работы:

Для создания проекта в среде Quartus необходимо выполнить следующие шаги:

- 1. Запустите среду разработки Quartus II 13.1.
- 2. Откройте мастер создания новых проектов (File / New Project Wizard...)

🔄 Que	artus II 64-Bit				
File	Edit View Project Assignments Processing	<u>Tools</u> <u>W</u> in	low Help 🔊	Search altera.com	
	9 H B X 4 B 9 4 1	- 🕱 🖓 🖉 🏈	▶ ◆ ● ● ● ● ● ● ▲ ● ● ● ● ■ ● ■ ⊒ ● ● ● ■ ⊒ ● ● ● ■ ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ● ● ■ ■ ● ● ■ ■ ● ■ ● ■ ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ■ ● ■ ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■ ■ ● ■		
Proje	ect Navigator	<i>₽8</i> ×			
A Co	ompilation Hierarchy				
			Vew Project Wizard		
			Directory Name Ten-Level Entity Inage 1 of 51		
			Directory, Name, Top-Level Entity [page 1 of 5]		
			What is the working directory for this project?		
			F:/work/altera_projects/kurs_plis/lab_01		
			What is the name of this project?		
			lab_01		
			What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.		
			lab_01		
	Hierarchy 📑 Files 🔗 Design Units 🔨 IP Co	mponen ()	Use Existing Project Settings		
Task	(S	7 <i>8</i> ×	Version 13.1		
Flow	Compilation •	Customize	Actaint 1911		
	Task	Time			
	✓ ► Compile Design				
	Analysis & Synthesis				
	Fitter (Place & Route)				
	Assembler (Generate programming file	s)			
	TimeQuest Timing Analysis			🦮 Buy Software	
	EDA Netlist Writer			View Quartus II	-1
	Program Device (Open Programmer)		Could Need State Could Hale	Information	-
			< Back Next > Finish Cancel Help	Documentation Notification Cents	-
*					
ê	All 🤷 🖾 🌆 🔻 < <search>></search>	~			
5	Type ID Message				
age					
ess	«				P.
5/	System / Processing /			00/ 00-0	
				0%0 00:00	J.UU

3. В соответствующих полях необходимо выбрать рабочую папку для нового проекта, имя проекта и имя главного модуля. Нажмите кнопку Next. Следующую вкладку можно пропустить. Нажмите кнопку Next еще раз.

4. Далее нужно выбрать микросхему ПЛИС с которой собираетесь работать. В рамках данного курса вы будете работать с платами, на которых установлена микросхема Cyclon III EP3C10E144C8. Выберите её в списке в нижней части окна. Чтобы ограничить это список можно выбрать параметры этой микросхемы в выпадающих списках в верхней части окна. Нажмите кнопку Next.

Select the family (ou can install a	mand on t	he Tools m	enu						
Device family		Show in 'Available devices' list							
Family: Cyclon	e III	Packa	ige:	Any		•			
Devices: All			*	Pin co	ount:	144	•		
Target device				Speed	d grade:	8			
Auto device s	selected by the Fitt	er		Name	e filter:				
Specific devidence	ce selected in 'Avai	Show advanced devices							
Other: n/a							ES		
Other: n/a	5:			. Since			es		
Other: n/a Available device: Name	: Core Voltage	LEs	User	I/Os	Mem	ory Bits	Embeo	ld(^	
 Other: n/a Available devices Name EP3C10E144C8 	s: Core Voltage 1.2V	LEs 10320	User 95	i/Os	Mem 423936	ory Bits	Embeo 46	ld(^	
 Other: n/a Available devices Name EP3C10E144C8 EP3C16E144C8 	core Voltage 1.2V 1.2V	LEs 10320 15408	User 95 85	I/Os	Mem 423936 516096	ory Bits	Embed 46 112	dı î	

5. Следующую вкладку в текущей работе можно пропустить. Нажмите кнопку Next.

6. На последней вкладке приведены выбранные на предыдущих этапах параметры. Если всё правильно нажмите кнопку Finish.

V New Project Wizard									
Summary [page 5 of 5]									
When you click Finish, the project will be crea	ted with the following settings:								
Project directory:	F:/work/altera_projects/kurs_plis/lab_01								
Project name:	lab_01								
Top-level design entity:	lab_01								
Number of files added:	0								
Number of user libraries added:	0								
Device assignments:									
Family name:	Cyclone III								
Device:	EP3C10E144C8								
EDA tools:									
Design entry/synthesis:	<none> (<none>)</none></none>								
Simulation:	ModelSim-Altera (VHDL)								
Timing analysis:	0								
Operating conditions:									
VCCINT voltage:	1.2V								
Junction temperature range:	0-85 °C								
	< Back Next > Finish Cancel Help								

7. Создайте новый Verilog-файл. То есть выберите пункт меню File / New... и в появившемся окне выберите Verilog HDL File. Нажмите OK.

🖏 New	x
New Quartus II Project	
 Design Files 	
AHDL File	
Block Diagram/Schematic File	
EDIF File	ш
Qsys System File	
State Machine File	
SystemVerilog HDL File	
Tcl Script File	
Verilog HDL File	
VHDL File	
Memory Files	
Hexadecimal (Intel-Format) File	
Memory Initialization File	
Verification/Debugging Files	-
OK Cancel Help	

8. Наберите текст на языке Verilog, описывающий модуль, согласно вашему варианту. Сохраните его в рабочую папку проекта. Имя модуля должно совпадать с именем главного модуля, указанного при создании проекта.

Quartus II 64-Bit - F:/work/altera_projects/kurs_plis/lab_01/lab_01 - lab_01							1-20-
Eile Edit View Project Assignments Processin	ng <u>T</u> ools <u>W</u> i	ndow I	<u>delp</u> ⇒			Search altera.com	
🗋 🥶 🖉 🖇 🖻 🐮 🤊 (~ lab_01	• 🕱 ? 🖌 🧳		> > > 0 0 % % 9 ≫ 4 9 7 4	• • • • • • • • • • • • • • • • • • •	() % 9 % % <i>© e</i> z z e 11 - 1 * 7 × 4		
Project Navigator	₽ø×		lab 01.v	8	Compilation Report - lab 01		
Project Navigator ≌ Files ⊯ lab_01.v		A	ab_01.v K: IT == # 0 0 0 0 1 2 2 3 module lab_01(input KEY0, KEY1, output LED0, LED1); assign LED0 = KEY0 & K assign LED1 = KEY0 K	EY1; EY1;	Compilation Report - lab_01		
à Hierarchy ≣ Files ♂ Design Units 🏾 🎘 IP Co	omponent ()	9	endmodule				
Tasks	₽ <i>₽</i> ×						
Flow: Compilation +	Customize						
Task	٥						
 Compile Design 	00:00:15						
Analysis & Synthesis	00:00:02						
✓ Fitter (Place & Route)	00:00:06						
✓ Assembler (Generate programming fil	es) 00:00:02						
TimeQuest Timing Analysis	00:00:03						
EDA Netlist Writer	00:00:02						
Program Device (Open Programmer)							
		-	m				
All @ A	1.sdo in fo list Write lon Was suc	lder " r was cessfu	F:/work/altera_projects/kurs_p; successful. 0 errors, 0 warning 1. 0 errors, 12 warnings	lis/lab_01/sim JS	ulation/modelsim/" for EDA simulation tool		, J
System/Processing (125)			20.			100% 00:	:00:15

9. Убедитесь, что модуль компилируется выбрав пункт меню Processing / Start Compilation. Внизу должно залогироваться успешное завершение компиляции.

Quartus II 64-Bit - F:/work/altera_projects/kurs_plis/lab_01/lab_01 - lab_01					
ile Edit View Project Assignments Processir	ig <u>T</u> ools <u>W</u>	indow <u>H</u> elp ⇒			Search altera.com
] 😅 🖉 🖇 🕾 🕾 🕾 🗢 🗠 🛛 lab. 01	• 🕅 Y 🖌 🤞		7	0 C 2 2 C 1 - 1 8 1 4	
reinst Navigator	2.6×	lab 01 v	Compilation	Report - Jab 01	
Files		Table of Contractor	a Flow Summary		
Files		Table of Contents	Flow Status	Europenful - Est Aug 21 14:10:12 2010	
		Flow Summary	Ouestus II 64 Pit Version	12 1 4 Puild 182 02/12/2014 C1 Web Edition	
		Flow Settings	Quartus II 64-bit Version	15.1.4 Build 162 03/12/2014 55 Web Edition	
		Flow Non-Default Global Settings	Ten level Entity Name	Idb_01	
		Flow Elapsed Time	Family	Ordena III	
		The How OS Summary	Device	EP3C10E111CR	
		E Flow Log	Device Timing Medele	EPSCIDE144C6	
		P Analysis & Synthesis	Tatal logic elements	2 / 10 220 / < 1 0/)	
		P == Fitter	Total combinational functions	2 / 10,320 (< 1.70)	
Mierarchy 📑 Files 🖉 Design Units 📉 IP C	mponent ()	Assembler	Dedicated logic registers	2 / 10,320 (< 1 %)	
		TimeQuest Timing Analyzer	Total registers	0 10,320 (0 %)	
asks	70 A	D Flow Measure	Total pipe	4 / 95 (4 %)	
ow: Compilation •	Customize	Flow Messages	Total virtual pins	4/ 55 (4 /0) 0	
Task	٥	Flow Suppressed Messages	Total memory hits	0 / 423 936 (0 %)	
 Compile Design 	00:00:15		Embedded Multiplier 9-bit element	5 0/46(0%)	
Analysis & Synthesis	00:00:02		Total PLLs	0/2(0%)	
Fitter (Place & Route)	00:00:06				
Assembler (Generate programming fil	es) 00:00:02				
TimeQuest Timing Analysis	00:00:03				
EDA Netlist Writer	00:00:02				
Program Device (Open Programmer)					
		*			
All O A A A Search>>		~			
Type ID Message					
204019 Generated file lab 01 vho	.sdo in fo	older "F:/work/altera projects/ku	rs plis/lab 01/simulation/mode	elsim/" for EDA simulation tool	
Quartus II 64-Bit EDA Net	list Write	er was successful. O errors, O was	rnings		
293000 Quartus II Full Compilati	on was suc	ccessful. 0 errors, 12 warnings			
Session					
System / Processing (125)					
(altern) (Linearend (TEO))					1000/ 00-00

10. Теперь надо сделать так, чтобы логические выводы модуля соответствовали определённым ножкам микросхемы. Для этого изучите схему макетной платы и определите, к каким физическим ножкам подключены кнопки и светодиоды.



11. С помощью пункта меню Assignments / Pin Planner запустите интерфейс, который позволяет назначить соответствие между ножками и выводами модуля. Для каждого логического вывода заполните наименование ножки в столбце Location. Убедитесь в правильности направлений в столбце Direction. Закройте интерфейс.

oups		7	e ×										
med: *			•				• 0 0 0	OVA00A0A00	VA00000		00000		
Node Name [Direction L	ocation I/	O Ba				:0				× 100		
< <neup>></neup>							.0				100		
							:0				(i) 104 (i) 100		
							: @		Top Vie	ew	A 100 101		
							2 0	Miro B	and with	vnoced Pad	0 100		
							··· · · · · · · · · · · · · · · · · ·	VVIIE D	ond, with t	cxposed Fau	Q 95		
						Laws	13 (0)				0		
							"8				× 11		
							17					Din Leger	ad ×
			_				10				<u> </u>	Symbol	Pin Type
							- C				0 #	O	User I/O =
port			e x				22 🔜				0 00		User assi
Report not availab	ole						- 0		Cyclone	e III	•		Fitter ass
							- O				¥ **	0	Unbonde
							28 (O)	,		14400	A AT THE AND A	•	Reserved
							≕ ≫ © ≫ ∆	t i	P3CIUE	14408	0 77	©	Other co
							** ©				07	۲	DEV OE
							* 0				0."	R	DEV CLR
							*0	1700000000	000000	Reconstration	07	6	DIEC
							∑€© 37 38 38						
													Filter: Pins: all
Named: *	- 🔛 Edit: 🗶	e l								and the second second second			
Named: * Node Name	Edit:	Location	I/O Bank	/REF Group	tter Locatic	I/O Standard	Reserved	Current Strength	Slew Rate	fferential Pi			
Named: * Node Name	- Edit: X Direction Input	Location PIN_23	I/O Bank	/REF Group B1_N0	tter Locatic PIN_24	I/O Standard 2.5 V (default)	Reserved	Surrent Strength 8mA (default)	Slew Rate	fferential Pi			
Named: * Node Name & KEY0 & KEY1	Edit:	Location PIN_23 PIN_22	I/O Bank	/REF Group B1_N0 B1_N0	tter Locatic PIN_24 PIN_25	I/O Standard 2.5 V (default) 2.5 V (default)	Reserved	Current Strength 8mA (default) 8mA (default)	Slew Rate	fferential Pi			
Named: * Node Name KEY0 KEY1 SEED0	Edit: Edit: Direction Input Input Output	Location PIN_23 PIN_22 PIN_85	I/O Bank 1 5	/REF Group B1_N0 B1_N0 B5_N0	tter Locatic PIN_24 PIN_25 PIN_28 PIN_28	I/O Standard 2.5 V (default) 2.5 V (default) 2.5 V (default)	Reserved	Current Strength 8mA (default) 8mA (default) 8mA (default)	Slew Rate	fferential Pi			

12. Перекомпилируйте проект с помощью пункта меню Processing / Start Compilation.

13. Присоедините плату с ПЛИС к компьютеру. С помощью пункта меню Tools / Programmer запустите программатор. Убедитесь, что в поле Hardware Setup... выбрано MBFTDI-Blaster v1.8b (64) [MBUSB-0]. Нажмите кнопку Start. После этого в поле Progress должна появиться надпись на зеленом фоне 100% (Successful). На плате должны загореться светодиоды.

Programmer - F/work/altera_projects/kurs_plis/lab_01/ab_01 - lab_01 - [output_files/lab_01.cdf]												
<u>File E</u> dit <u>V</u> i	File Edit View Processing Tools Window Help P Search altera.com Image: Search altera.com Image: Search altera.com Image: Search altera.com Image: Search altera.com											
Andware 1	🖆 Hardware Setup MBFTDI-Blaster v1.8b (64) [MBUSB-0] Mode: JTAG 🔹 Progress:											
Enable rea	Enable real-time ISP to allow background programming (for MAX II and MAX V devices)											
- Start	File	Device	Checksum	Usercode	Program/ Configure	Verify	Blank- Check	Examine	Security Bit	Erase	ISP CLAMP	
💣 Stop	output_files/lab_01.sof	EP3C10E144	00092F99	00092F99								
Auto Dete												
× Delete												
Add File												
Change File												
Save File												
Add Device												
î î [∿] uDp												
J [™] Down	TDO EP3C10E144											
	II											ai

14. Убедитесь, что светодиоды правильно реагируют на нажатия кнопок. Учтите, что согласно схеме подключения, нажатая кнопка соответствует нулевому сигналу на соответствующем входе, а отпущенная - единице.

3. Описание конструкций языка Verilog

Рисование схем в графическом редакторе неудобно и отнимает много времени. И, зачастую, такие схемы проблематичны в отладке. Поэтому для разработки устройств на базе FPGA применяются языки описания аппаратуры HDL (Hardware Description Language). В рамках данного курса мы познакомимся с языком Verilog (и его модификацией – SystemVerilog).

Ниже приведены основные конструкции языка.

Для объявления переменной типа провод используется ключевое слово wire:

wire a;

Для того, чтобы соединить провода применяется непрерывное присвоение assign (другие типы присвоений будут рассмотрены позднее):

wire a,b; assign a=b;

При описании схем используется разделение на модули. Каждый модуль имеет входы и выходы типа wire:

```
module module_AND (input a, input b, output f);
assign f=a&b;
endmodule
```

Приведенный выше модуль реализует логическую функцию И. Модули можно соединять в иерархическую структуру. Пример такого соединения:

```
module module AND (
input IN1,
input IN2,
output OUT
);
assign OUT = IN1 & IN2;
endmodule
module module XOR(
input IN1,
input IN2,
output OUT
);
assign OUT = IN1 + IN2;
endmodule
module module sum (
input a,
input b,
input c in,
output sum,
output c out
);
wire s1, s2,s3;
module XOR my XOR 1 (.IN1 (a), .IN2 (b), .OUT (s1) );
module_XOR my_XOR_2 (.IN1 (s1), .IN2 (c_in), .OUT (sum) );
module_AND my_AND_1 (.IN1 (a), .IN2 (b), .OUT (s3) );
module AND my AND 2 (.IN1 (s1), .IN2 (c in), .OUT (s2) );
module XOR my XOR 3 (.IN1 (s2), .IN2 (s3), .OUT (c out) );
endmodule
```

Модуль module_sum описывает одноразрядный сумматор на основе логических элементов И (AND) и ИСКЛЮЧАЮЩЕЕ-ИЛИ (XOR). Для этого внутри основного модуля (top level) создаются несколько экземпляров модулей module_XOR и module_AND.

Экземпляр модуля описывается следующим образом: сначала пишется название модуля, экземпляр которого нужен, затем указывается имя данного экземпляра и далее описываются подключения сигналов: точка, имя сигнала модуля и в скобках имя проводника, который к нему подключен.

Посмотреть получившуюся схему можно через меню Tools/Netlist Viewrs/RTL Viewer.



С помощью HDL Verilog цифровая система может быть описана на структурном и поведенческом уровнях. Приведённый выше код описывает схему на структурном уровне. Структурное описание представляет собой описание системы в виде совокупности компонентов и связей между ними. Поведенческое описание представляет собой описание системы при помощи задания зависимости вход-выход.

Ниже приведён код описания схемы сумматора на поведенческом уровне.

```
module module_sum (
input a,
input b,
input c_in,
output sum,
output c_out
);
assign sum = ((a^b) & c_in);
assign c_out = ((a^b) ^ c_in) ^ (a&b);
endmodule
```

4. Программная симуляция логических схем

Задание:

```
1. Запустите среду моделирования ModelSim-Altera 10.1d
```

51	Y 120 6		
⊡•≱ ⊗ ⊋ ∞/;	- 25 MIL 10	D T T T A A A A A A A A A A A A A A A A	
Library	1		
Name	Type	Path	
220model	Library	\$MODEL_TECH//altera/vhd/z20mddel	
Z20model_ver	Library	\$MCDEL_TECH//altere/veriog/2/0m	
altera	Library	\$MODEL_TECH/altera/http/altera	
atera_nsm	ubrary	prodec_iec/v, /utera/vind/aces	
At altera_nsm_ver	Ubrary	sruue_leurdurenverogiates	
de altera mi um	Library .	productincorr, / printer print print and the set	
At altera_ini_ver	Library	ar-Codeinc.rv_, rated ay tengging to a	
f altero_se	Ubrary	anAuctc.rrjoute.n/strougence.n	
ff sitesh lb	Liberry	product _ incord , present of the pr	
ft sitesh um	Library	product_rest (r) primer principal primer principal primer pr	
M aniany	Liberaria	ar-booktool him of the line grade	
fit arriany hari	Ubeney	arched _ incury - preserved in the preserved and the second se	
At arriagy has yes	Library	SVCPL TECH, Altera Avrian Jerra	
At arrianx ver	Library	\$VCDELTECH/. /altera / without articles	
At arrial	Ubrary	92009. TECH/, /altera/vhdlamai	
At arriai hasi	Library	Stock Torry, Altera Molinnia Inni	
At arriat host ver	Library	\$400ELTECH, diterative/industrial.	
At arrial pole hip	Ubrary	SPCCPI TECH/, Altera/Addiarrial p.,	
At arrial pole bin ver	Library	SYCDE TEOU. Alterativerialization	
At arrisi ver	Ubrary	SYODE TECH, Alteratorial	
fit arriator	Ubcary	SYCCPI TECH, Alterated Articlements	
AL arrializz hasi	Library	\$400ELTECH//attera/vbd/amaisz	
At arrializz hasi ver	Library	\$YCDEL TEO1//altera/verilog/artial	
At arrializz pole hip	Library	\$YODEL TECH/, /altera /vhdiamiatez	
At arrializz pole hip y.	Library	SYCOEL TECH/, /altera/veriso/arrial	
At arrializz ver	Library	\$YODEL TEO/L. (ditera/veribalamaisz	
di arriav	Library	#YODEL TECH/, /altera/vhdl/arriay	
At arriav_hssi_ver (e	Ubrary	\$MODEL_TECH//altera/verilog/amay	
A arriav poie hip ver.	Library	\$MODEL_TECH//altera/verilog/aniav	
A arriav ver (empty)	Library	\$MODEL_TECH//altera/veriog/arriav	
AL arriavoz	Library	SMODEL TECH//altera/vhdl/amavaz	
A arriavaz hasi	Library	\$MODEL_TECH//altera/vhd/(arriavgz	
A arriavgz_hssi_ver (Ubrary	\$MODEL_TECH//altera/verilog/arriav	
A arriavgz_pole_hip	Library	\$MODEL_TECH//altera/vhd/arravgz	
A arriavgz_pcie_hip_v	Library	\$4CDEL_TECH//altera/verlog/amav	
A arriavgz_ver (empt.	Ubrary	\$MODEL_TECH//altera/verliog/arriavgz	
A cydone	Library	\$MODEL_TECH//altera/vhd/icyclone	
At cydone_ver	Library	\$MODEL_TECH//altera/verlogicyclane	
ft cydonei	Library	\$MODEL_TECH//altera/vhd/kydonei	
t cydonei_ver	Ubrary	\$MODEL_TECH//altera/verilog/cydonei	
t cydoneii	Ubrary	\$MODEL_TECH//altera/vhdl/cycloneiii	
t cydoneii_ver	Library	\$MDDEL_TEO+(/altera/verilog/cyclo	
A cydoneilis	Ubrary	\$hODEL_TECH//altera/vhd/kydoneliis	
t cydoneiiis_ver	Ubrary	\$MCDEL_TECH//bitera/verlog/cydo	
t cydoneiv	Library	\$MCDEL_TECH//altera/vhd/jcycloneiv	
if outonoir heri	Uhrany	ewnni tenu / bhrshiddudnai	
Transcript			
Reading D:/altera	x/13.1/mod	delsim_sse/tcl/vsim/pref.tcl	
adelSim>			

2. С помощью пункта меню File / Change Directory... выберите рабочую директорию проекта, созданного вами в процессе лабораторной работы №1.

3. В этой директории уже находится модуль, которых вам необходимо проверить. Теперь надо создать модуль, который будет осуществлять проверку. Для этого с помощью пункта меню File / New / Source / Verilog создайте новый Verilog-файл. В нём напишите код для моделирования вашей схемы.

Пример такого файла приведён ниже.

```
`timescale 1ns / 100ps
module testbench;
reg KEY0, KEY1;
lab_01 lab_01_inst(KEY0, KEY1, LED0, LED1);
initial
begin
    KEY0 = 0;
    KEY1 = 0;
    #10 KEY0 = 1;
    #10 KEY0 = 1;
    #10 KEY0 = 1;
    #10 $finish;
end
endmodule
```

Сохраните его в рабочую директорию.

Image: Solution: Image: Solution:<	Modelsim ALTERA STARTER E Edit: View Compile	EDITION 10.1d - Custom Altera Versio Simulate Add Source Tools La	n yout Bookmarks Winc	dow Help							- 0
Image: Description: Image: Description: <thimage: description:<="" th=""> <thimage: description:<="" th=""></thimage:></thimage:>		882210-A\$ M	• # # # *	a 👔	Layout NoDesi	gn 🗾	ColumnLayout AllColumna	¥	4.4.94.4	X* •X 🖸 🖻 🛪	
Image Image Image main image image main <td< th=""><th>brary</th><th></th><th>: # @ ×</th><th>D:/pr</th><th>ojects/altera/kurs_plis/lab_01/lab_0</th><th>1_testbench.v - Default</th><th>t:</th><th></th><th>"</th><th></th><th></th></td<>	brary		: # @ ×	D:/pr	ojects/altera/kurs_plis/lab_01/lab_0	1_testbench.v - Default	t:		"		
Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) Same Use (sold production dependence) Image Same Use (sold production dependence) <t< td=""><td>те Тур</td><td>e Path</td><td>·</td><td>Ln#</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></t<>	те Тур	e Path	·	Ln#							
Target Target <thtarget< th=""> <thtarget< th=""> <thtarget< td="" th<=""><td>220model Libra</td><td>ry \$MODEL_TECH//aitera/vhd/220</td><td>model</td><td>1</td><td>'timescale ins / 100</td><td>0ps</td><td></td><td></td><td></td><td></td><td></td></thtarget<></thtarget<></thtarget<>	220model Libra	ry \$MODEL_TECH//aitera/vhd/220	model	1	'timescale ins / 100	0ps					
Image Image <th< td=""><td>220model_ver Libra</td><td>ry \$MODETECH//altera/verilog/2</td><td>20m</td><td>2</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></th<>	220model_ver Libra	ry \$MODETECH//altera/verilog/2	20m	2							
Tar. Jam. Dest	Laltera Libra	ry \$MODEL_TECH//altera/Vhdl/alte	ra	3	module testbench;						
Target Bar (100) Point (100)	altera_insim Libra	sry \$MODEL_TECH//aitera/vhdi/aite	ra_!	4	TIMOTO INPUT						
min.p. table model model <t< td=""><td>altera_insm_ver Lora</td><td>ry \$MODEL_TECH//altera/verlog/a</td><td>itera</td><td>5</td><td>reg REIO, REII;</td><td></td><td></td><td></td><td></td><td></td><td></td></t<>	altera_insm_ver Lora	ry \$MODEL_TECH//altera/verlog/a	itera	5	reg REIO, REII;						
Bit My/D Listy 000000000000000000000000000000000000	altera_mf Lbra	ry SMODEL_TECH//altera/vnd/alte	ra_mf	0	Jack OI Jack OI Grant (VPVA VPV1 TPT	TPDIA.				
multiple list multiple multiple multiple multip	altera_mf_ver Libra	ry \$MODEL_TECH//altera/verlog/a	itera	Ŕ	1ab_01 1ab_01_11sc (F	ALIO, ALII, LED	, LEDI);				
gis gis die werden inzerstaanspronkelingen 10 Persjin gis gis die verden inzerstaanspronkelingen 11 Persjin meer die verden ve	altera_ver Libra	ry \$MODEL_TECH//altera/verlog/a	itera	a a	initial						
ging be Users Product (Last) Status (Last) Status (Last) resp. Users Product (Last) Status (Last) Status (Last) resp. Users Product (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) Status (Last) Status (Last) Status (Last) resp. Product (Last) <td>aligio Lora</td> <td>sy should recht. Jatera/viid/atg</td> <td>pop</td> <td>10</td> <td>begin</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td>	aligio Lora	sy should recht. Jatera/viid/atg	pop	10	begin						
gbg	angxo_io Lora	ry should_TECH//attera/vnd/attg	po	11	KEYO = 0;						
model Long PACL_LINU	and ko_ver Libra	ry should_TECH//aitera/veriog/a	radixo	12	KEY1 - 0;						
make_s makees makees <td>arriagx Libra</td> <td>ry \$MODEL_TECH//altera/vhd/am</td> <td>agx</td> <td>13</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td>	arriagx Libra	ry \$MODEL_TECH//altera/vhd/am	agx	13							
Max Mu 2007 Post Distribution State Sta	arnagx_nss Lora	ry \$MODEL_TECH//attera/vnd/am	agx	14	\$10 KEY0 - 1;						
moment Link Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status Status	arriagx_hsa_ver Libra	ry sMODEL_TECH//artera/verilog/a	mag	15							
min List Petrol min List Petrol TTI 1 = 1; min List Petrol Pe	arriagx_ver Libra	ry should rechy. Jaterajvenog/a	magx	16	\$10 KEY0 = 0;						
min move User PODD_TICH	Libra	ry shout_reun, ateraying/an	ai 	17	KEY1 = 1;						
mail (mis) mail (mis) mail (mis) mail (mis) mail (mis) mail (mis)	amai nssi Lora	ry should recht. Jatera/md/am	ai_nsi	18							
midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r midu v V Uster PODE, TOT: Unite v V Uster 1 10 of 2 Link k/r </td <td>amai_nso_ver Loro</td> <td>ry shoop TECHI (stress todios)</td> <td>mai</td> <td>19</td> <td>\$10 KEYO = 1;</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td>	amai_nso_ver Loro	ry shoop TECHI (stress todios)	mai	19	\$10 KEYO = 1;						
mage is the second seco	arrial_poe_np Lori	sy skobel_tech//atera/vid/am	a	20	410 CE1-1-1-1						
indig List Mathematical 3 Mathematical indig List Mathematical 4 Mathematical indig Mathematical 4 4 Mathematical 4 indig Mathematical Mathematical 4 4 4 indig Mathematical Mathematical 4 4 4 indig Mathematical Mathematical 4 4 4 indig Mathematical Mathematical 4 <t< td=""><td>analpoenpver con</td><td>swoot Trout alter wertogia</td><td>mail</td><td>22</td><td>\$10 STINISH,</td><td></td><td></td><td></td><td></td><td></td><td></td></t<>	analpoenpver con	swoot Trout alter wertogia	mail	22	\$10 STINISH,						
ning set and s	amai_ver con	ry shoop Trout short of	rnal	22	end						
mage is all bars mage is all bars mage is all bars mage is all bars mage is all bars <t< td=""><td>amaigz Libra</td><td>ry shoop TECH//atters/shof/am</td><td>aigz</td><td>24</td><td>endmodule</td><td></td><td></td><td></td><td></td><td></td><td></td></t<>	amaigz Libra	ry shoop TECH//atters/shof/am	aigz	24	endmodule						
midgl_spin_ling Mode	amining heri yer Libri	MODE TECHI Internhadian	onga	25							
merg_ser_geineine	amerga_iss_ve Lord	SY SHOOL_ILCIV.Jate aventy/	nien								
meg_ge_logbox, des_weigendigendig meg_ge_logbox,	arrialige_poe_hip v Libra	SHODE TECHI Jatera Amina In	aigz								
rmm tuber PODE_TOTAL_States/Malfaners rmm ymm PODE_TOTAL_States/Malfaners rmm ymm PODE_TOTAL_States/Malfaners rmm ymm PODE_TOTAL_Mates/Malfaners rmm PODE_TOTAL_Mates/Malfaners PODETOTAL_Mates/Malfaners rdotal PODETOTAL_Mates/Malfaners PODETOTAL_Mates/Malfaners rdotal PODETOTAL_Mates/Malfaners PODETOTAL_Mates/Malfaners	arriaigz_poe_np_vUn	sy shope TECHI latera barlogia	main								
max max <td>arrian Libri</td> <td>www.shope.tech.jatera/hd/art</td> <td>an an a</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td>	arrian Libri	www.shope.tech.jatera/hd/art	an a								
mm gets	arrian besi uar (a. Libra	SHOOP TECHI (starsharlos)									
ming_wite for the second secon	arriav noie hin ver. Libra	SMODE TECHI /altera/verilog/a	riau								
ibin bin 9000_1100_148ex/Ministragi integ_top 9000_1100_148ex/Ministragi integ9000_1100_148ex/Ministragi integ9000_1100_148ex/Mi	arriav ver (emnty) Libra	w MODE TECHI Jatera harionia	eriau								
meng Lag i Utorg BOOL_TOVI, Marey Mellagramma. mines Jack Jack Jack Jack Jack Jack Jack Jack	arriavoz Libra	any SMODE TECH/ (altera/vhd/arr)	2007								
merg_Leg (w. Liters) = 9000TOV Josephene (m. Lines) = 9000_TOV Josephene (m. Lines) = 900_TOV Josephene (m. Li	arriavez hesi Libra	WOOR TECHI (alteral-bid/arti	av.07								
merg Lags [e] Library PRODE_TISYL, Jakes / Malera watar merg Lags [e] Library PRODE_TISYL, Jakes / Malera watar merg Lags [e] Library PRODE_TISYL, Jakes / Malera watar profess [e] Library PRODETISYL, Jakes / Malera watar profess [e] Library PRODETISYL [e] Library PRODTISYL [e] Libr	arriance basi yar (Libra	www.shoop.techi.laterabarioola	eriau								
mag_12 pg, Jan, Libry 9000_11001, Janes / Mag_Janes_ mag_2 mg, Jang, Libry 9000_11001, Janes / Mag_Jang, Janes / Mag_Janes / Janes / Janes / Mag_Janes / Janes / Janes / Janes / Mag_Janes / Janes /	arriavoz pole hip Libra	ry SMODE, TECH/, /altera/shd/arri	8/02								
meg_scr [mer.l.term] POOL_TION_Atten/melogine-more yden_iter Literm POOL_TION_Atten/melogine-more yden_iter Literm POOL_TION_Atten/melogine-more yden_iter View POOL_TION_Atten/melogine-more yden_iter Vi	arriavez orie hip v. J bri	TY SMODE TECH//altera/verion/z	may								
Index _ the _ POCE_TICH_Interview[Anglever]_ Index the _ POCE_TICH_Interview[Anglever]_ Interview[Anglever]_	arriavoz ver (empt. Libra	SHODE, TECH/, /altera/verilog/z	100/07								
jedes je u Uzra Produ, Terror, Jakar Andre Solaria Andre S	control Libra	SMODEL TECHI, Jaterahtdulov	lone								
johen Ubray 9000_EUG-Viewey/McGooden johen Ubray 9000_EUG-Viewey/McGo	cydone ver Libra	ary SMODEL TECH//altera/ver/op/o	vdone								
plom L Lorg 9000_TOV / deex/mig/splower plom X / A / A / A / A / A / A / A / A / A /	Cydoneii Libra	ry \$MODEL_TECH//altera/vhdl/cvc	lonei								
ideo and Libery BOCE, TSCH, Jakes/Hold (School and Libery Boce), TSCH, Jakes/Hold (School and Libery Boce), TSCH (School and Libery Bo	cydoneii ver Lbra	sy shops, TECH//altera/verilog/c	ydonei								
ideoma, we kura second	Lbra	ry \$MODEL TECH//altera/vhd/cyc	loneii								
Johan Barran Barra Barran Barran Barr	t cydoneli ver Libra	ry SMODEL TECH//altera/verlog/o	vdo								
ploming under the set of the set	cydoneiils Libra	ry \$MODEL_TECH//altera/vhd/cvc	loneiils								
The aver aver aver aver aver aver aver ave	t cydoneiils ver Libra	sy shooe, TECH//altera/verilog/c	vde								
Image: Content in the second	M radionalu Libra	ev example tensil lahara.Modileur	Innahi _	1							
Op/ District projects/sizes/bit/bit/ssplit/bb_01 District District District District District			•		1						
ing Dr/alters/13.1/mobilin_sas/rcl/veis/pref.tcl projects/13.1/mobilin_sas/rcl/veis/pref.tcl >> >> lk: 25 G& 0 lk: 25 G& 0	antoint										
ing ungang ang ang ang ang ang ang ang ang an	and participation and the second second	Constant and an and final feaster formant	F = 1								
y taskeb dis Context	eaung Di/aitera/13 D:/projects/altera/b	incontraction ase/toi/vsim/pref.	COL								
Dy generated de Contents [in: 25 Gal 0]	pi/projectd/discid/k										
grtadeb discretet	elSm>										
gn Loaded> dia Context> lin: 25 Cak 0											
	Design Loaded>	<no context=""></no>									Ln: 25 Col: 0

4. Скомпилируйте файл тестируемого модуля вместе с тестирующим модулем. Для этого используйте пункт меню Compile / Compile... Чтобы файлы скомпилировались вместе надо выбрать оба файла и нажать Compile.

Library: work		•		
Nan <u>k</u> a:	lab_01		- 🗧 📩 📰 -	
2	Имя	^	Дата изменения	Тип
E tomu til moonten	db		02.09.2019 9:34	Папка с
выстрыи доступ	output_fil	es	02.09.2019 8:34	Папка с
	simulation	1	02.09.2019 8:34	Папка с
Рабочий стол	work		02.09.2019 10:09	Папка с
	🧟 lab_01.v		31.08.2019 21:05	Файл "V
	lab_01_tes	tbench.v	02.09.2019 10:09	Файл "V
этот компьютер Сеть	٢.			c
	Има файла:			Compile
	<u>Т</u> ип файлов:	HDL Files (*.v;*.vl;*.vhd;*.vhd;*.	vho;*.hdl;*.vo;* 🖌	Done
Compile selected	files together	Default Options Edit Sou	urce	

5. Если вы компилируете в первый раз, то вам будет предложено создать библиотеку work в рабочей директории. Нажмите Yes.



6. Убедитесь в отсутствии ошибок компиляции и в том, то библиотека work появилась в списке библиотек.

ModelSim ALTERA STARTER EDITION 10.1d - Custom Altera Version

<u>File Edit View Com</u>	npile <u>S</u> imu	ulate A <u>d</u> d L <u>i</u> brary T <u>o</u> ols Layo <u>u</u> t Boo <u>k</u> m	arks <u>W</u> indov	w <u>H</u> elp	
🖹 • 🖨 🔛 🦻 🍈	<u>X</u> 000	ቘ⊥⊇⊇∣⊘→ぬҍ⊼│∲⊯₩∅	🌋 🛛 🔹 🖓	* *	🔹 🏠 👔 🛛 Layout NoDesign 🗹 🛛 Colum
Library			_+#×	D:/pro	ojects/altera/kurs_plis/lab_01/lab_01_testbench.v - Default
Name	Type	Path	_	Ln#	
+	Library	D:/projects/altera/kurs_plis/lab_01/work		1	`timescale lns / 100ps
+ 220model	Library	\$MODEL_TECH//altera/vhdl/220model		2	
+- 220model_ver	Library	\$MODEL_TECH//altera/verilog/220m		3	module testbench;
+-	Library	\$MODEL_TECH//altera/vhdl/altera		4	
+ altera_Insim	Library	\$MODEL_TECH//altera/vhdl/altera_l		5	reg KEYO, KEY1;
+ altera Insim ver	Library	\$MODEL TECH//altera/verilog/altera		6	
+- II altera mf	Library	\$MODEL_TECH//altera/vhdl/altera_mf		7	lab_01 lab_01_inst(KEY0, KEY1, LED0, L
+-In altera mf ver	Library	\$MODEL TECH//altera/verilog/altera		8	
+	Library	\$MODEL_TECH//altera/verilog/altera		9	initial
	Library	SMODEL_TECH//altera/vhdl/altoxb		10	begin
	Library	\$MODEL_TECH//altera/vhdl/altoxb		11	KEYO = 0;
+ It altoxb ver	Library	SMODEL_TECH//altera/verilog/altoxb		12	KEII = 0;
	Library	\$MODEL_TECH//altera/vhdl/arriagx		14	#10 KEY0 = 1.
+ In arriagy hssi	Library	\$MODEL_TECH//altera/vbdl/arriagx		15	#10 KE10 - 1,
THIL arriagy has ver	Library	SMODEL_TECH//altera/verilog/arriag		16	$\pm 10 \text{ KEY0} = 0.$
The arriagy ver	Library	\$MODEL_TECH//altera/verilog/arriagx	· · · · · · · · · · · · · · · · · · ·	17	KEY1 = 1:
	Library	\$MODEL_TECH//altera/vhdl/arriaii		18	
Tuli arriai hssi	Library	\$MODEL_TECH/ /altera/vhdl/arriaii bssi		19	#10 KEY0 = 1;
The arrial bssi ver	Library	\$MODEL_TECH//altera/verilog/arriai		20	
	Library	\$MODEL_TECH//altera/vbdl/arriaii.p		21	#10 \$finish;
A larriai ncie bin ver	Library	\$MODEL_TECH/ /altera/verilog/arriai		22	end
	Library	\$MODEL_TECH/_/altera/verilog/arriai		23	
	Library	\$MODEL_TECH/ /altera/veniog/arriai		24	endmodule
	Library	MODEL_TECH/ /altera/yhdi/arriaiigz		25	
	Library	\$MODEL_TECH/ /altera/verilog/arriaii			
	Library	\$MODEL_TECH/_/altera/vbdl/arriaicz			
The arrialize bid v	Library	MODEL TECH/ /altera/verilog/arriai			
The arrialize ver	Library	\$MODEL_TECH/ /altera/verilog/arrisiga			
	Libi cit y				

7. Запустите симуляцию выбрав пункт меню Simulate / Start Simulation... В появившемся окне выберите тестирующий модуль. Нажмите OK.

Name	Туре	Path						
	Library	D:/projects/altera/kurs_plis/lab_01/work	-					
-M lab_01	Module	D:/projects/altera/kurs_plis/lab_01/lab						
[M] testbench	Module	D:/projects/altera/kurs_plis/lab_01/lab						
+ 1 220model	Library	\$MODEL_TECH//altera/vhdl/220model						
+ 220model_ver	Library	\$MODEL_TECH//altera/verilog/220m						
+ ditera	Library	\$MODEL_TECH//altera/vhdl/altera						
+ ditera_Insim	Library	\$MODEL_TECH//altera/vhdl/altera_l						
+ ditera_Insim_ver	Library	Library \$MODEL_TECH//altera/verilog/altera						
+ altera_mf	Library	\$MODEL_TECH//altera/vhdl/altera_mf	Te.					
 [+					
Design Unit(s)		Resolution						
work.testbench		default	•					
Optimization								

8. В появившемся окне Objects выберите сигналы, которые хотите отслеживать и, с помощью контекстного меню Add to / Wave / Selected Signals, добавьте их в окно Wave.



9. Выберите пункт меню Simulate / Run / Run -All. В появившемся окне с предложением закончить работу с ModelSim нажмите Her.



10. Через некоторое время в окне Wave появятся графики, отображающие поведение выбранных сигналов.

📽 🖬 🛸 🚳 i	3. Ba 🛍	2210	# # # Ø	## 🖓 🖻	<u>₽</u> * ≠ ⇒	100 pa		0 1 1 1 1 2 1 2	1011	A tayout	inulate	Coli	mnLayout AllCo	lums		· ·	8-94-4	XIX DIB
0 [00 [5] ML	1		N 14 10		L L J L I	153 3	• •€ • 强• Sear	ות ו		Q Q Q Q		1	J					
Default	11010	* # # ×	沟 Objects	11201	: # # ×	Wave - Defaul	t:t											
ce	Design unit	Design unit t	▼ Name	Value	Kind Mode	\$		Maga										
allab 01 inst	lab 01	Module	KETU KEY1		RegisInternal	/testber	xh/kero 0	_										
#INITIAL#9	testbench	Process	se ledo		Net Internal	/testben	kh/LED0 St0											
Pvsim_capacity#		Capacity	LED1		Net Internal	/testber	kh/LED1 St0											
			Processes (Active)		: ± ₫ ×													
			▼ Name	Type (f	itered) State													
			#INETIAL#9	Inital	Active													
																	ويعد المجرا	
						280 C	Now	40000 ps	5000 ps	10000 p	150	100 ps	20000 ps	25000	06	30000 ps	35000 ps	4000
							Cursor 1	0 ps 0 ps										
		<u>.</u>				4	+ 4	<u> </u>										
🗵 🔐 sim 🖂		4 >	•		•	lab_01_testbe	ench.v × 🔢 Wave	×										
pt :																		
			TOD DO DO BALL MADE AND															
in Module t	eschench a	t D:/projec	s/altera/kurs_p	115/lab_01/	Lab_01_testbenc	h.v line 21												

11. Поведением сигналов КЕҮ0 и КЕҮ1 управляет тестирующий модуль. Видно, что они последовательно проходят через все возможные комбинации значений. Сигналы LED0 и LED1 – это выходы тестируемого модуля. Убедитесь, что они работают в соответствии с внутренней логикой тестируемого модуля.

5. Задание

- 1. Описать на языке Verilog схему в соответствии с вариантом (на структурном уровне).
- 2. Скомпилировать схему и загрузить в плату.
- 3. Проверить работоспособность схемы по таблице истинности.
- 4. Описать схему другим способом (на поведенческом уровне).
- 5. Скомпилировать и загрузить в плату.
- 6. Проверить работоспособность схемы по таблице истинности.
- 7. Провести моделирование полученных схем в ModelSim.

Варианты заданий